

С.П. Новосядлий, Р.І Запухляк

Конструкторсько-технологічні особливості формування субмікронних структур адресних схем пам'яті

*Прикарпатський університет імені Василя Стефаника, фізичний факультет,
вул. Галицька 201, м. Івано-Франківськ, 76000, Україна*

В даній статті приведені схемотехніка, структура і технологія формування топології напівпровідникових запам'ятовуючих пристроїв адресного типу та викладені методи підвищення її швидкодії і радіаційної стійкості з використанням елементів субмікронної технології великих інтегральних схем.

Ключові слова: запам'ятовуючий пристрій, нагромаджувач, елемент пам'яті, кеш-пам'ять, пам'ять з прямою адресною вибіркою, субмікронна технологія, швидкодія.

Стаття поступила до редакції 19.05.2003; прийнята до друку 23.08.2003.

Однією з головних задач субмікронної технології ВІС є формування структур швидкодіючих запам'ятовуючих пристроїв (ЗП) з інформаційною ємністю більше 1 М на кристалі. Саме підвищення ступені інтеграції ВІС супроводжується зменшенням площі комірки пам'яті та споживаною потужністю. Проведене моделювання дозволяє зробити висновок, що при зменшенні розмірів елементів в $1/n$ раз, степінь інтеграції зростає в n^2 разів. Мінімальним елементом для формування структур ЗП ємністю 1М є розмір 0,8-1 мкм. Подальше зменшення розмірів елементів обмежується наступними факторами: 1) при рівності нулю напруги на затворі ключового транзистора повної відсічки не проходить, бо це вимагає подачі нульової порогової напруги ($U_T = 0$), яка залежить тільки від ступені легування підкладки і температури; 2) при зниженні напруги живлення виникають проблеми, зв'язані з явищем „короткого” каналу і інжекції гарячих електронів в підзатворний діелектрик; 3) рівень порогової напруги обмежується напругою плоских зон U_{FB} , величина якої визначається матеріалом електрода затвора та постійним зарядом в підзатворному діелектрику транзистора; 4) при співударі однієї α - частинки заряд на затворі змінюється на 0,03 пКл і для того, щоб цей заряд не змінював потенціала динамічних конденсаторів пам'яті більше, ніж на 1 В, необхідно ємність такого конденсатора зробити не меншою 0,03 пФ. Тому для подальшого підвищення ступені інтеграції ВІС простого зменшення елементів недостатньо і треба також удосконалювати як технологію формування елементів структур пам'яті, так і конструкцію самої комірки структури. Проте дане питання недостатньо висвітлене в літературі і потребує певних уточнень [1,2,3].

Відомо, що важливі параметри ЗП - швидкодія і споживана потужність - визначаються часом доступу до даних, а в більшості ЗП використовується тільки адресний доступ [2,3,4,5]. Такі ЗП є найбільш проробленими і широко використовуються в мікропроцесорних системах управління. Тому в даній статті розглянемо їх конструкторсько-технологічні особливості в рамках субмікронної технології формування їх структур. Всі адресні ЗП діляться на RAM (Random Access Memory) і ROM (Read-Only Memory) або їх ще називають оперативними ЗП (ОЗП) і постійними ЗП (ПЗП). Оперативні ЗП зберігають дані, які приймають участь в обміні при виконанні текучої програми, і можуть бути змінені в любий момент часу. В ПЗП така вже зміна не передбачається і її використовують як пам'ять для читання. Якщо такі дані в ПЗП міняються, то її вже називають репрограмованою (РПЗП) або перепрограмованою ППЗП.

RAM (ОЗП) діляться в свою чергу на статичні і динамічні. В першому варіанті запам'ятовуючим елементом є тригер, який зберігає свій стан (0,1) доки схема знаходиться під живленням і немає нового запису даних. Для другого типу дані зберігаються у вигляді заряду конденсатора (Q_0, Q_1), що забезпечується динамічною коміркою пам'яті, побудованою на МОН структурі (транзисторі та конденсаторі). Саморозряд конденсатора веде до зниження даних, а тому такі конденсатори повинні мати високі електричні характеристики (низькі струми втрат, високі пробивні напруги і питому ємність) і періодично регенеруватись. Регенерація даних в ОЗП здійснюється з допомогою спеціальних контролерів, які також зменшують ступінь їх інтеграції. Такі ОЗП називають квазістатичними.

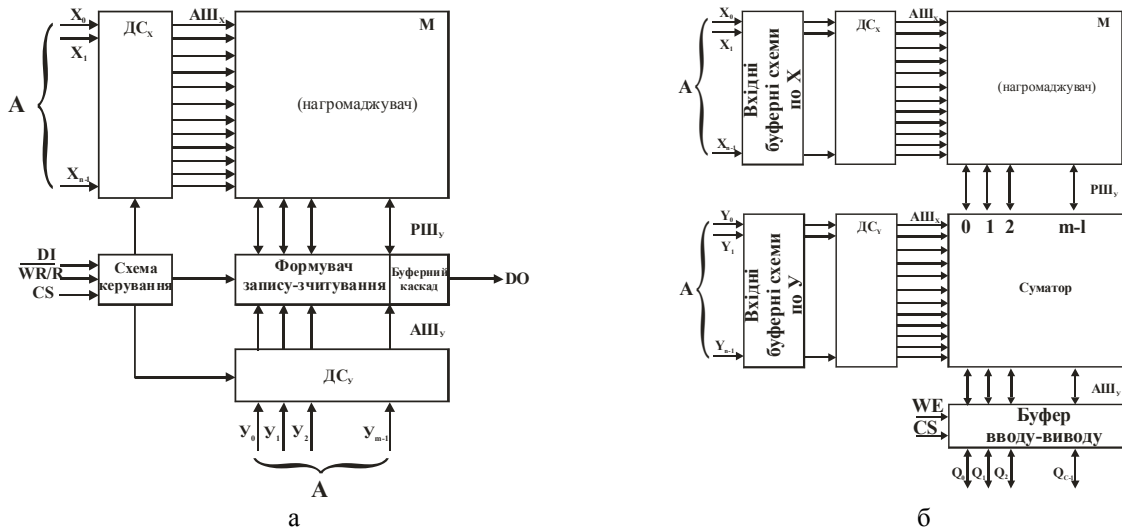


Рис. 1. Структура схем пам'яті: а) статичної ОЗП, б) ПЗП.

Статичні ОЗП називають ще SRAM, а динамічні DRAM. В свою чергу статичні ОЗП поділяються на: 1) асинхронні, в яких управляючі сигнали задаються як рівнями, так і імпульсами; 2) синхронні, в яких управляючі сигнали представляються тільки імпульсами; 3) конвеєрні, коли такі передачі даних синхронізовані з тактовою частотою мікропроцесора. Статичні ОЗП, маючи високу швидкодію, є основою кеш-пам'яті [3,4,5].

Динамічні ОЗП характеризуються максимальною інформаційною ємністю і використовуються як основна пам'ять в ЕОМ чи в мікропроцесорних системах. Одним із варіантів швидкодіючої ОЗП є пам'ять типу FPM (Fast Page Mode), тобто із сторінковим режимом доступу до даних [3,6] і визначається її структурою.

На відміну від динамічної постійна пам'ять типу ROM(M) програмується ще на стадії формування структур з допомогою спеціальних фотошаблонів під контакти і розводку схеми ПЗП. Її називають ще масковою, бо її зміст вже змінити не можна. Різновидністю пам'яті типу ROM є програмувана користувачем пам'ять PROM (Programmable), тобто ППЗП. Її зміст записується або одноразово (PROM) або може бути замінене стиранням старої із записом нової. Цю пам'ять називають відповідно EPROM або E²PROM. В першій стирання старої інформації здійснюється за допомогою ультрафіолетового опромінення і її називають ще РПЗП-УФ (репрограмованою). В другій стирання інформації проводиться електричними сигналами індивідуально в кожному елементі пам'яті (однорозрядно) або рядком (словно). Її ще називають РПЗП-ЕС (репрограмованою з електричним стиранням). Програмування таких схем здійснюють спеціальними програматорами-емуляторами. Різновидністю такої пам'яті із швидким стиранням є Flash-пам'ять, яку формують на основі МОН комірки типу АБО-НЕ [3,5,6,8].

Адресні ЗП представляються статичними і

динамічними ОЗП (RAM) та постійного типу ROM. Вони мають багато спільного з точки зору використання структурних схем. Це відноситься до статичних ОЗП (SRAM) та ПЗП типу ROM. Структура динамічних ОЗП має свою специфіку і будується на транзисторно-конденсаторних елементах пам'яті (одно і багато транзисторних). Типові структури для порівняння статичного ОЗП та ПЗП подані на рис. 1.

На схемі адрес А є номером комірки нагромаджувача (матриці), до якого проводиться звертання. Тому розрядність адреса зв'язана з числом зберігаючих слів N співвідношенням $n = \log_2 N$ або $N = 2^n$. Якщо ЗП ємністю 64 К має $n = 16$ розрядні адреси, то адрес виражається набором $A = A_{15}A_{14}...A_0$. Сигнал CS-Chip Select або CE (Chip Enable) - сигнал, який дозволяє або забороняє роботу даної схеми. Сигнали WR/RD – Write/Read- сигнал запису-читання, який видає сигнал „1” на зчитування і „0” на запис. Сигнали DI, DO – Data input, Date output – шини вхідних і вихідних даних, розрядність яких визначається розрядністю ЗП (розрядністю його комірок). Запис в вибраній елемент пам'яті (ЕП) або зчитування з вибраного ЕП здійснюється з допомогою n-розрядних формувачів сигналу запису-зчитування (ФЗЗ), кожний із яких підключений до розрядної шини (РШ) одного із стовпців. Вихідні сигнали дешифратора ДШ_y, що визначають конкретний стовпець, в якому проводиться вибірка ЕП, поступають по АШ_y на ФЗЗ, який і дозволяє роботу одного з них відповідно на режим запису або зчитування.

В режимі запису інформації вибраний ФЗЗ формує через підключену до нього розрядну шину сигнал, що встановлює конкретний ЕП, який вже є в заданому рядку і на який подається сигнал, що поступив з дешифратора ДШ_x в стані „0” чи „1” в залежності від того, який сигнал поданий на вхід схеми управління DI.

В режимі зчитування відповідний ФЗЗ сприймає

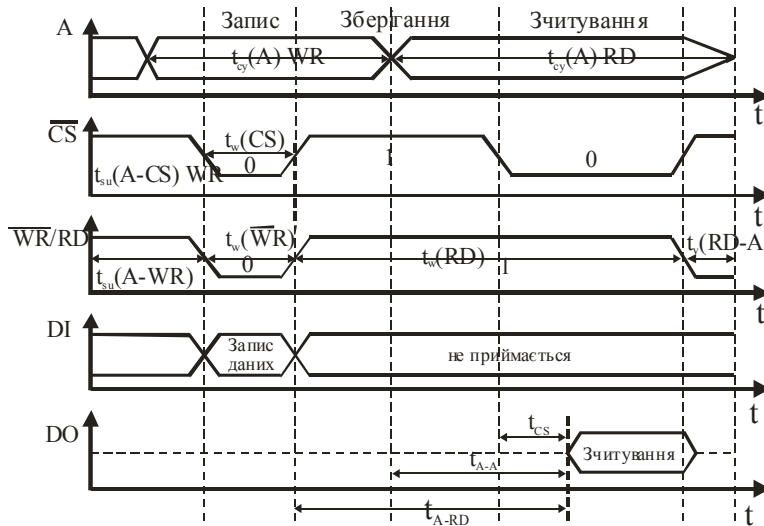


Рис. 2. Часова діаграма статичного ОЗП в режимах: запису, зберігання і зчитування.

сигнал, що поступив на РШ від вибраного ЕП. Цей сигнал вказує на стан ЕП ($Q = 0$ чи 1) підсилюється і передається на вихід даних DO через буферний каскад (БК). Тобто, режим роботи ЗП дозволяє формування сигналу вибірки на АШХ і при сигналі $WR/R = 0$ схема управління формує сигнал на запис; при цьому вихід DO блокується буферним каскадом. Якщо $WR/R = 1$, то схема управління перемикає ФЗЗ в режим зчитування, при якому інформація з вибраного ЕП поступає вже на вихід DO, а вхід DI вже не впливає на роботу зчитування інформації. При $CS = 1$ реалізується режим зберігання, тобто ЕП не змінюється при дії любых сигналів на входах A, DI, WR/R, а DO при цьому відключається. Часова діаграма режимів запису, зчитування і зберігання в ОЗП приведена на рис. 2.

Основними параметрами ЗП є наступні часи: $t_{cy(A)WR}$ – час циклу адреса в режимі запису; $t_{cy(A)RD}$ – час циклу адреса в режимі зчитування; $t_{su(A-CS)}$ – час установлення сигналу вибірки CS відносно адреса A; $t_{su(A-WR)}$ – час установлення сигналу запису

WR відносно адреса A; $t_{v(RD-A)}$ – час зберігання адреса після зняття сигналу зчитування; $t_{w(CS)}$ – тривалість сигналу вибірки CS; $t_{w(RD)}$ – тривалість сигналу зчитування RD; $t_{w(WR)}$ – тривалість сигналу запису WR; t_{CS} – час вибірки для зчитування; t_{A-A} – час вибірки адреса; t_{A-RD} – час вибірки сигналу зчитування. Основними часовими параметрами, що визначають швидкість ЗП є: $t_{A(RD)}$ – час циклу зчитування; $t_{su(A-CS)}$ – час установлення сигналу вибірки CS; $t_{su(A-RD)}$ – час установлення сигналу зчитування; t_{CS} – час вибірки для зчитування.

Відмінність постійного від оперативного ЗП (рис. 1) полягає в тому, що в ПЗП здійснюється одночасна вибірка кількох (4-х, 8-и або 16-и) розрядів одного адресу і входи та виходи об'єднані між собою. Сам пристрій, який забезпечує одночасну вибірку 1 - розрядів із m називають селектором. Тобто, селектор виконує функцію розрядного формувача.

Тепер визначимось, якими конструкторсько-технологічними чинниками визначається висока

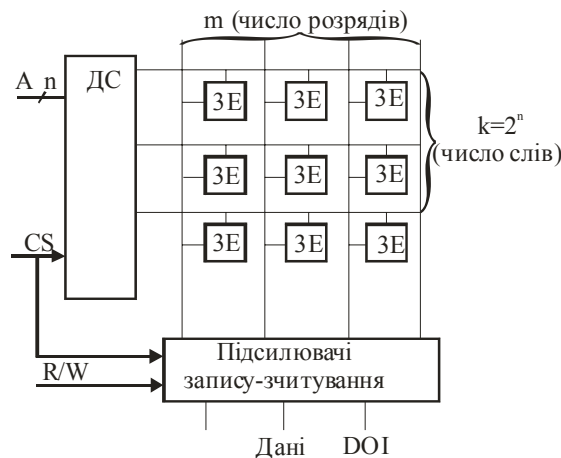


Рис. 3. Структура ОЗП (RAM) із словарною адресацією типу 2D.

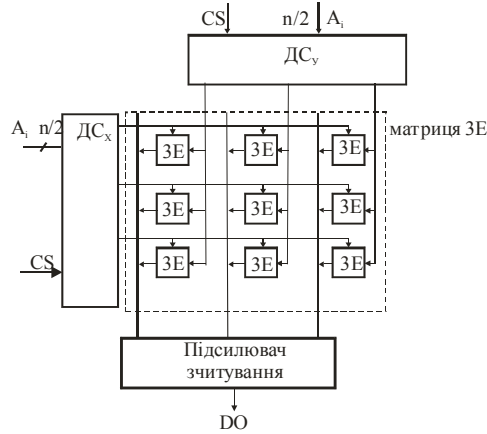


Рис. 4. Структура ЗП (ROM) типу 3D з однорозрядною організацією.

швидкодія ЗП. Зупинимось спочатку на структурі адресних ЗП, які дозволяють зменшити площу кристала за рахунок зменшення структури, площі комутаційних провідників та локальних ізоляційних елементів в кристалі ЗП. Для статичних ОЗП і пам'яті типу ROM найбільше застосування отримали структури типу 2D, 3D, 2DM. В структурі 2D (рис. 3) запам'ятовуючі елементи організовані в прямокутний нагромаджувач (матрицю) $M = k \times m$, де k - число зберігаючи слів, а m - їх розрядність. Дешифратор DC при сигналі вибірки CS дозволяє одночасний доступ до всіх елементів вибраного рядка, що зберігає задане слово, адрес якого відповідає номеру рядка, а стовпець вибирається через команду RD/WR на зчитування або запис відповідно. В такій структурі число виходів дешифратора є рівним числу зберігаючи слів. Тому їх можна використовувати в ЗП малої інформаційної ємності до 64 К [7,8,9].

Структура 3D дозволяє зпростити дешифрацію адресу з допомогою двокоординатної вибірки 3Е. Принцип двокоординатної вибірки пояснює рис. 4 для ЗП типу ROM, що реалізує операцію зчитування. В такій структурі код адресу розрядністю n ділиться на дві половинки, кожна із яких декодується окремо. З допомогою цих двох дешифраторів вибирається 3Е,

що знаходиться на перетині рядків і стовбців, кількість яких рівна: $2^{n/2} \times 2^{n/2} = 2^n$. В цьому випадку число виходів дешифратора зменшується вдвоє і рівне: $2^{n/2} + 2^{n/2} = 2^{n/2+1}$. Із даної архітектури видно, що для ЗП невеликої ємності, наприклад, 1К для структури 2D потрібний був би дешифратор із 1024 виходами, а для структури 3D потрібно вже тільки два дешифратора з 32 виходами кожен, тобто, число всіх виходів складає тільки 64. Це зменшує площу і кількість комутаційних вихідних шин майже в два рази, що різко збільшує швидкодію ЗП. Недоліком даної структури в двокоординатній вибірці є ускладнення самого процесу дешифрації, особливо для ЗП великої ємності.

Такі недоліки відсутні в ЗП типу ROM із структурою типу 2DM, що зображена на рис. 5 для нагромаджувача запам'ятовуючих елементів з адресацією від одного дешифратора DCx, який має характер структури 2D: збуджений вихід дешифратора DCx вибирає зразу цілий рядок. Але на відміну від структури 2D, довжина рядка вже не є рівною розрядності зберігаючи слів, а її значно перевищує. При цьому число рядків значно зменшується, що однозначно веде до зменшення виходів дешифратора. Тому для вибірки одного із

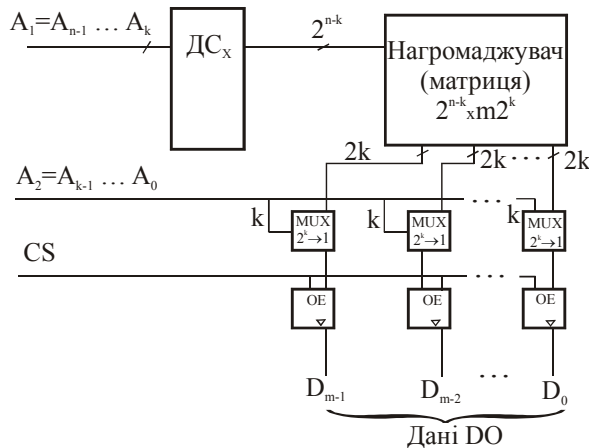


Рис. 5. Структура ЗП типу 2DM для ROM.

рядків використовують не всі розряди адресного коду, але тільки їх частину $A_{n-1} \dots A_k$. Решту розрядів адреса від A_{k-1} до A_0 використовують, щоб вибрати необхідне слово із тієї множини слів, які знаходяться в рядку. Це вже здійснюється за допомогою мультиплексорів, на адресні входи яких подаються коди $A_{k-1} \dots A_0$. Довжина рядка при цьому рівна $m \cdot 2^k$, де m - розрядність зберігаючих слів. Із кожного відрізка рядка довжиною 2^k мультиплексор вибирає тільки один біт. Відповідно, на виходах мультиплексорів формується вихідне слово, яке по сигналу CS, що поступає на входи ОЕ буферних каскадів (із трьома станами), передається на зовнішню шину. Така архітектура вигідна для ЗП великої ємності, більше 256 К.

Для збільшення швидкодії запам'ятовуючих пристроїв замість адресного доступу використовують асоціативний, за допомогою якого здійснюється пошук інформації вже по визначеній ознаці (замість адресу), наприклад, по співпадінню певних полів слів, які називають тегами, з ознакою, що задається вхідним словом (теговим адресом). Таку асоціативну пам'ять називають кеш-пам'яттю (cache) або прискорюючою. Вона запам'ятовує копію інформації, що знаходиться в основній ОЗП і забезпечує швидкий доступ до неї по команді мікропроцесора. Таку швидкодіючу пам'ять, як правило, реалізують на тригерних ЕП. При читанні даних спочатку виконується звертання до кеш-пам'яті (КП) по схемі, що зображена на рис. 6. Якщо в КП є копія даних адресованої комірки основної пам'яті ЗП, то вона виробляє сигнал Hit (співпадіння „1”) і видає дані на загальну шину. Якщо таких даних немає, то не виробляється сигнал Hit („0”) і тоді виконується читання із основної пам'яті і одночасне розміщення даних в КП. МП для прискорення передачі даних може звертатись вже безпосередньо до КП, зчитуючи ці дані і посылаючи їх через шину даних в мікропроцесорну систему. Таке поєднання адресного доступу і асоціативного прискорює роботу (звертання) МП до ЗП, тобто збільшує їх швидкодію. Таким чином, архітектура ЗП визначає не тільки швидкодію, але і значне зменшення споживаної потужності та площі як ЕП, так і ЗП [8,9].

Тепер розглянемо вплив технологічних чинників на швидкодію ЗП, використавши принципи субмікронної технології ВІС, на основі яких

розроблялись і виготовлялись базові мікросхеми серій: КМ 132 РУ5,8,9; КР 573 РУ6; КР 576 РУ6 [10]:

- формування локальної ізоляції активних елементів з охоронними областями проокисненням полікремнію та високоенергетичної багатозарядної імплантації;

- високоякісного підзатворного оксидування для формування тонких інжекційного і тунельного оксидів;

- низькотемпературного формування поліцидної комутації і багаторівневої розводки на основі аморфного полікремнію;

- багатозарядної імплантації для прецизійного юстування порогових напруг МОН транзисторів;

- формування МОН транзисторів на структурах МНОН, Flash, Flotox, StrataFlash;

- високоякісного формування тонкоплівкового діелектрика динамічних елементів пам'яті для ОЗП типу DROM з високою радіаційною стійкістю до α -опромінення;

- високо контрастної проекційної літографії з використанням амплітудно-фазозсувних проміжних фотооригіналів.

Нашою задачею є: ув'язати вище перераховані технологічні чинники в контексті із структурою ЗП і їх параметрами, які визначають швидкодію. Розгляд даних питань почнемо із технологічних особливостей ПЗП (ROM) і з переходом до оперативних ЗП типу RAM.

Запам'ятовуючі пристрої типу ROM (пам'ять тільки для читання) зберігає інформацію, яка взагалі не змінюється типу ROM(M) або PROM, чи змінюється рідко і не в оперативному режимі типу EPROM та E² PROM, архітектура яких розглядалась вище. В маскових ЗП типу ROM(M) інформація записується технологічно вже при виготовленні кристалів мікросхем з допомогою зміни фотошаблонів під контакти і розводку на заключному етапі технологічного процесу формування структур ВІС, які змінюють логічні стани комірок нагромаджувача.

ЗП типу PROM програмуються після їх виготовлення з використанням спеціальних програматорів-емуляторів. Програмування ПЗП полягає в певному переводі логічних станів елементів пам'яті, що знаходяться між латеральними і нормальними лініями нагромаджувача. Тому всі ЗП типу ROM мають багаторозрядну організацію (4-,8-

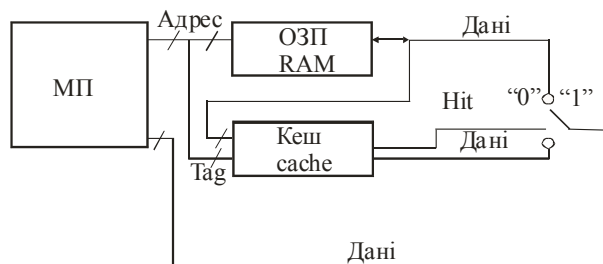


Рис. 6. Структура взаємодії ОЗП з кеш-пам'яттю МП системи.

або 16-и) і виконуються на структурах 2DM, а прості – на 2D.

Технологія виготовлення постійних ЗП охоплює широкий спектр елементів пам'яті: діодів, біполярних транзисторів, n-МОН (МНОН) і К-МОН транзисторів. Для масочного діодного ROM(M) латеральні лінії є відповідно лініями вибірки слова, а вертикальні – лініями зчитування. Тому важливо сформувати технологічно ідентичні діоди, які визначатимуть зчитуване слово. При наявності діода високий потенціал вибраної горизонтальної лінії передається на вертикальну лінію і в даному розряді появляється сигнал логічної „1”, а при відсутності діода – сигнал „0”, бо вертикальна лінія через резистор зв'язана із землею. Для формування ідентичних діодів доцільно використати технологію формування багатоємітерного біполярного транзистора, в якому всі емітерні переходи є ідентичними, мають малу ємність, а це забезпечує високу швидкодію ЗП. Низький рівень генераційно-рекомбінаційних процесів в такій технології досягається оксинітридним гетеруванням сформованих структур, які забезпечують величину m -фактора емітерних p - n -переходів на рівні одиниці.

Для нагромаджувача із МОН транзисторами, що відповідають за збереження нуля, збільшують величину порогової напруги U_T (еквівалентно збільшенню товщини підзатворного діелектрика) до рівня забезпечення режиму відсічки транзистора. Тобто, в цьому випадку необхідно від'юстувати порогові напруги МОН-транзисторів, які повинні сформувати нульовий логічний рівень. Таке прецизійне юстування досягається лише високою енергетичною багатозарядною імплантацією, яка дозволяє формувати самосуміщені МОН транзистори, в яких відсутній ефект вузького каналу. Високоякісне затворне оксидування забезпечується нітридацією підзатворного оксиду і швидким фотонним окисненням-відпалом. Таким чином, ЗП з масочним програмуванням забезпечує компактність ЕП, високий рівень інтеграції ЗП, високу економічність при їх виготовленні субмікронною технологією.

В ЗП типу PROM мікросхеми програмується за рахунок плавких перемичок, які ліквідуються шляхом їх розплавлення імпульсами великої амплітуди і тривалості. В ЗП з плавкими перемичками останні включаються в електроди діодів або транзисторів. Перемички необхідних номіналів формують із легованих плівок полікремнію. Прецизійне їх юстування під номінал забезпечується радіаційною технологією з використанням одно- і багатозарядної імплантації іонів різних домішок [11]. По даній технології з мінімальним топологічним розміром 1 мкм формуються РПЗП серії K556 з інформаційною ємністю 64-256 К і часом вибірки адреса 70-90 нс.

В репрограмованих ЗП типу EPROM і E^2 PROM вже можливе стирання старої інформації і заміна її новою в результаті спеціального процесу, який називають ультрафіолетовим стиранням РПЗП-УФ (EPROM) або електричним стиранням РПЗП-ЕС (E^2

PROM). В таких ЗП елементом пам'яті є МОН транзистор з двошаровим підзатворним діелектриком $SiO_2-Si_xO_yN_z$ (МНОН транзистор) або з подвійним затворним діелектриком, який називають МОН транзистором із лавинною (ЛІЗ) або тунельною інжекцією (ТІЗ) [12,13].

МНОН транзистор відрізняється від звичайного тим, що на поверхні кремнію формується спочатку тонкий тунельний окисел товщиною менше 5 нм в гарячому розчині азотної та надцтової кислот в співвідношенні 1:1, а потім більш товстий пласт оксинітриду кремнію товщиною більше 100 Å⁰ високочастотним магнетронним розпиленням кремнієвої мішені, легованої бором в плазмі азоту. Коефіцієнт заломлення оксинітридної плівки повинен складати 1,78-2,1. Поверх двошарової плівки наноситься поліцидний затвор. Завдяки тунельному ефекту, носії заряду можуть проходити через тонкий пласт оксиду і накопичуватись на межі розділу $SiO_2-Si_xO_yN_z$. Цей від'ємний заряд і є носієм інформації, що зберігається МНОН транзистором. Заряд записують, створеним під поліцидним затвором напруженістю електричного поля, достатньої для виникнення тунельної інжекції електронів через тонкий підзатворний діелектрик. На межі цього розділу можна створювати заряд любого знаку в залежності від напрямку електричного поля в підзатворній області. А наявність цього заряду відповідно формує рівень порогової напруги. Для МНОН транзистора з n -каналом від'ємний заряд на межі пластів підвищує порогову напругу, бо екранує дію позитивного зміщення на затворі, що відкриває канал транзистора. При цьому порогова напруга U_T зростає настільки високо (більше 10 В), що відкрити канал позитивним зміщенням на затворі вже не можливо, цьому стану транзистора відповідає логічний рівень „1”, а коли відкритий канал – логічний „0”. При програмуванні ЗП використовується напруга величиною понад 20 В. Стійка робота транзистора складає до 10^4 - 10^6 перезаписів і є енергонезалежною. Такий тип ПЗП називають ще РПЗП-ЕС. Структура такого транзистора подана на рис. 7(б).

Основою такого транзистора є плаваючий затвор, який може бути як одинарним, так і подвійним. Транзистори з одним плаваючим затвором використовуються в ЗП типу РПЗП-УФ, а транзистори з подвійним затвором можуть використовуватись як в РПЗП-УФ, так і в РПЗП-ЕС. Принцип роботи ЛІЗМОН транзистора з подвійним затвором близький до принципу роботи МНОН транзистора, тільки область введення заряду на межу розділу $SiO_2-Si_xO_yN_z$, а область окисленого легованого полікремнію або поліциду, в яку, як в пастку, можна ввести заряд, який зберігається довгий час. Тому цю область називають плаваючим затвором Flash структури [15].

При подачі на управляючий затвор, стік-витокової області імпульсу додатної напруги амплітуди 20-25 В в обернено зміщених переходах стока чи витока виникає лавинний пробій і в цій області підзатворний діелектрик насичується електронами, які за

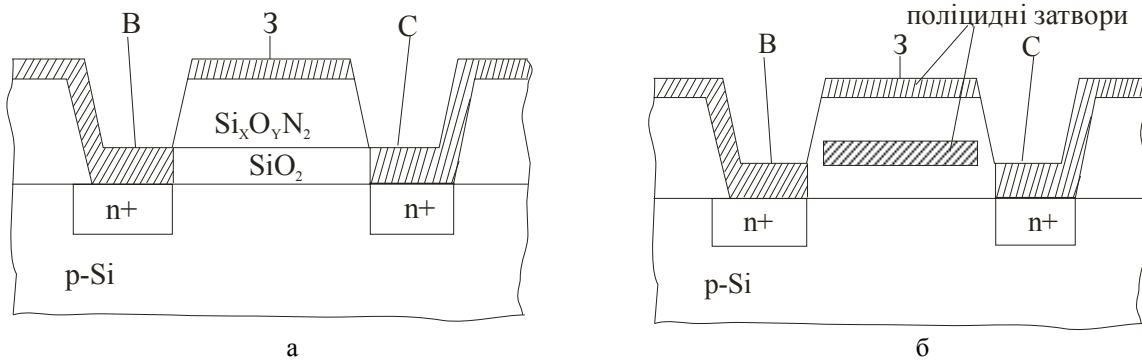


Рис. 7. Структури транзисторів типу:
а) МНОН, б) з лавинною інжекцією заряду ЛІЗ МОН (Flash структура).

допомогою тунельного ефекту досягають плаваючого затвору і його від'ємно заряджують. Це призводить до збільшення порогової напруги транзистора, який може знаходитись в такому закритому стані довгий час. При відсутності заряду в плаваючому затворі транзистор працює в звичайному ключовому режимі.

Стирання інформації в такому транзисторі може проводитись як ультрафіолетовим опроміненням, так і електричним сигналом. В першому випадку при УФ опроміненні від'ємний заряд залишає затвор і інформація стирається зразу у всіх транзисторів структури кристала ЗП. Число циклів перезапису досягає рівня 10-100. Електричне стирання інформації здійснюється подачею на управляючий затвор нульової (низької) напруги, а на стоки – високої напруги програмування (12-20 В), що дозволяє стерати інформацію індивідуально з окремого транзистора.

Підключення таких двозатворних транзисторів до ліній вибірки рядків та до ліній читання в нагромаджувачах ЗП показана на рис. 8. Перевагою елемента б) є його простота і мала площа, що дозволяє створювати РПЗП у вигляді ВІС великої інформаційної ємності 1 М-256 М. Слово Flash, що

означає спалах, мить, і характеризує пам'ять, яка допускає швидке стирання всього масиву даних одним сигналом УФ опромінення. Розглянемо всі режимні етапи даної пам'яті: зберігання, зчитування, програмування і стирання.

У випадку зберігання лог.1 на плаваючому затворі формується від'ємний заряд інжектованих електронів і порогова напруга на управляючому затворі U_{T1} є високою (декілька вольт). Якщо зберігається лог.0, то заряд на плаваючому затворі практично рівний нулю і тоді порогова напруга U_{T0} мала (або навіть від'ємна). Різниця таких порогових напруг $U_{T1} - U_{T0}$ визначається зарядом Q , що зосереджується в ємності $C_d = \epsilon_0 \epsilon_s S/d$ між затвором управління і кремнієвою підкладкою (S – площа затвора, d – сумарна товщина діелектрика між обома затворами і між плаваючим затвором і Si-підкладкою, тобто:

$$(U_{T1} - U_{T0}) = Q/C_d, \quad (1)$$

Висока якість діелектрика забезпечує дуже великий час зберігання інформації (більше 10 років при $T = 75-125^{\circ}C$).

В режимі зчитування на адресну шину X

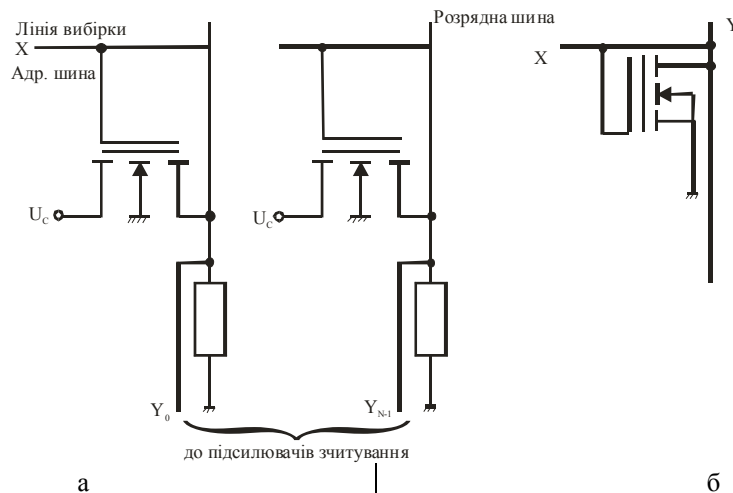


Рис. 8. Схема включення ЛІЗ МОН (Flash) транзистора до ліній вибірки і зчитування в РПЗП: а) із стоковим живленням, б) без джерела живлення.

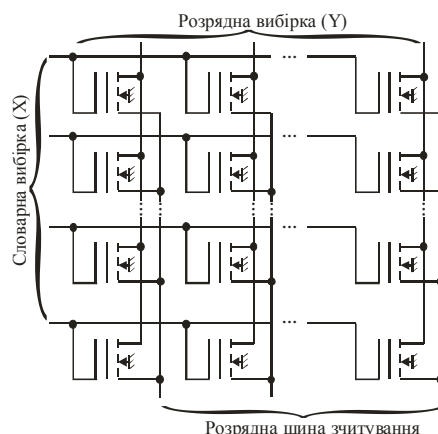


Рис. 9. Структура накопичувача Flash – пам'яті на основі комірки АБО-НЕ.

вибраного рядка подають напругу U_X , що лежить в межах $U_{T0} < U_X < U_{T1}$, а на шини решти рядків подають вже напругу меншу U_{T0} . Тоді в елементах пам'яті цих рядків транзистори є закритими. Таким чином, у вибраному рядку транзистори будуть відкритими або закритими в залежності від зберігаючої інформації: в шині Y (розрядній) вибраного стовпця у випадку зберігання лог.0 буде протікати струм, а у випадку зберігання лог.1 струм буде нульовим. Цей струм і буде сприйматись підсилювачем зчитування.

В режимі програмування напруга на шині Y вибраного стовпця встановлюється високою ($U_{Y\text{прогр}}$ 10-12 В), якщо необхідно створити від'ємний заряд на плаваючому затворі (тобто, запрограмувати лог.1). В протилежному разі $U_Y = 0$. Напруга на вибраному рядку є теж високою, причому $U_{X\text{прогр}} > U_{Y\text{прогр}}$, бо сам процес програмування базується на інжекції гарячих електронів у стокового р-п-перехода в підзатворний діелектрик. Такі гарячі електрони генеруються в сильному електричному полі при малій довжині каналу $< 1 \mu\text{м}$ і високою напругою $U_{X\text{прогр}}$. Але $U_{X\text{прогр}} > U_{Y\text{прогр}}$, то в діелектрику створюється вертикальна складова напруженості електричного поля, за допомогою якої електрони дрейфують до плаваючого затвору і накопичуються на ньому. Тому час програмування одного елемента великий і складає біля 1 мс, що на чотири порядки перевищує час зчитування.

Стирання (видалення електронів з плаваючого затвору) проводиться УФ опроміненням, що надає електронам енергію достатню для переходу із плаваючого затвору в підзатворний діелектрик та в Si-підкладку, час стирання є великим і складає біля 1 хв.

Тому для таких ЗЕ особливо важливим є формування високоякісного діелектрика з високою електричною міцністю $E > 2 \cdot 10^6 \text{ В/см}$ та діелектричною сталою $\epsilon > 3,7$. Це досягається процесом під затворного хлорного оксидування з використанням галогенів рідкісноземельних металів (HoCl_3 , YCl_3 , LaCl_3 , ScCl_3) [13]. Для підвищення швидкодії таких ЗП використовують накопичувач на основі комірки типу АБО-НЕ, що забезпечує

швидкий словарний доступ при довільній вибірці (Рис. 9). Кожний стовпець представляє собою сукупність паралельно з'єднаних МОН транзисторів з плаваючим затвором. Розрядні лінії вибірки знаходяться під високим потенціалом, а всі транзистори невибраних рядків є закритими. У вибраному рядку відкриваються і передають високий рівень напруги на розрядні лінії зчитування ті МОН транзистори, в плаваючих затворах яких відсутній заряд електронів, тобто мають низьку порогову напругу U_T .

Розглянемо тепер елементи пам'яті $E^2\text{PROM}$, що програмується з допомогою інжекції гарячих електронів та з допомогою тунельного ефекту. В перших процеси програмування і зчитування протікають аналогічно, як і в елементах EPROM, а для стирання використовують тунелювання, тобто перехід електронів із плаваючого затвору в підзатворний оксид та Si-підкладку шляхом тунельного ефекту. Колектором електронів, що поступають з плаваючого затвору, можуть бути використані: 1) спеціальний полікремнієвий (поліцидний) електрод стирання; 2) n^+ - спеціальна область стирання, яку формують в Si-підкладці; 3) стокова n^+ - область. При стиранні на шини X напруга рівна нулю, а на шини стирання (полікремнієвий електрод) подається висока напруга більше 25 В, яка забезпечує тунелювання електронів з плаваючого затвору в підзатворний оксид і на шину стирання. Товщина тунельного діелектрика складає 75-100 Å. Тому стирання інформації проводиться, як і для Flash структур, одночасно для всіх елементів накопичувача $E^2\text{PROM}$. Тунелювання можна проводити і вверх на управляючий електрод, при цьому ефект тунелювання вищий, бо верхня поверхня затвора завжди є шершавою із-за оксидування полікремнію, що створює вищу напруженість електричного поля на емітерах електронів. Такі елементи $E^2\text{PROM}$ в два рази більші по площі, ніж ЕПЗП, і вимагають двох джерел живлення.

Подальшим удосконаленням елементів пам'яті для $E^2\text{PROM}$ є так звана комірка Flotox, в якій програмування здійснюється за допомогою

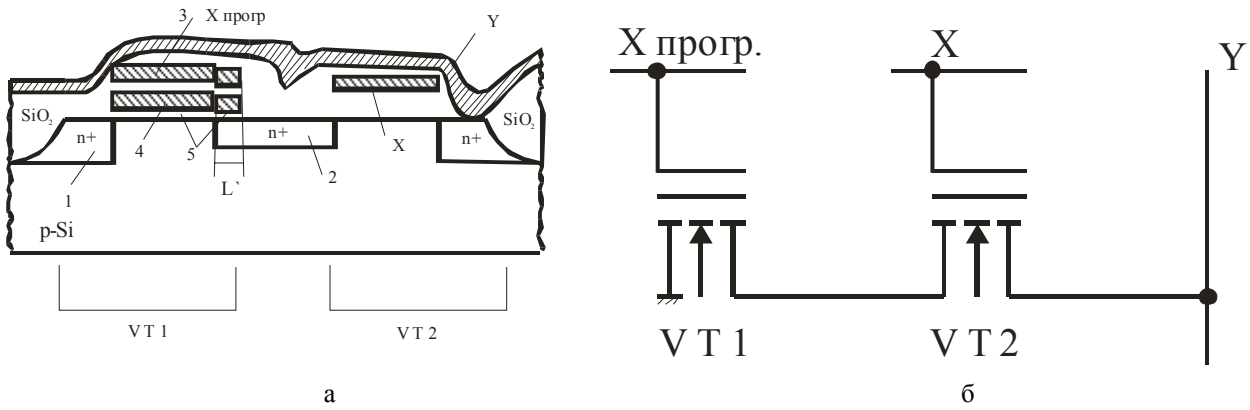


Рис. 10. Структура а) і його електрична схема б) ЕП „Flotox”.

тунельного ефекту для кожного елемента індивідуально. Така структура 3Е Flotox зображена на рис. 10 і представляє собою двотранзисторний елемент. Ліва частина структури утворює бістабільний транзистор, суміщений із шиною програмування $X_{\text{прогр}}$. Підзатворний оксид, що примикає до стока МОН транзистора вже має товщину тільки 7-10 нм. При програмуванні на шину $X_{\text{прогр}}$ вибраного рядка подають високу напругу більше 20-25 В. Якщо на плаваючий затвор транзистора VT_1 , треба ввести заряд (запрограмувати лог.1), то на стоці цього транзистора встановлюється нульова напруга. Тоді через тунельно тонкий оксид 5 транзистора VT_1 проходить тунелювання електронів із стока (області L^1) в підзатворний діелектрик 5 і їх дрейф під впливом поля на плаваючий затвор. Якщо потрібно програмувати лог.0, то на стоці транзистора VT_1 встановлюється така ж напруга, як і на управляючому затворі. Для стирання, навпаки, на управляючий затвор подають нульову напругу, а на стік транзистора VT_1 – високу напругу. Тоді електрони здійснюють зворотній перехід – з плаваючого затвору в стік. Таким чином, в даній структурі проходить програмування і стирання з однаковою швидкістю за час менший 1 мс.

Максимальне число циклів перепрограмування при цьому може досягати 10^5-10^6 .

Особливістю даної структури є отримання тунельно чистого окислу. Його формують шляхом кип'ятіння Si-пластин із структурами в розчині азотної та та надцтової кислот ($HNO_3:CH_3COOH = 1:1$) при температурі $T = 120-130^\circ C$. Товщина тунельного оксиду може бути збільшена $>100 \text{ \AA}$, якщо використати тунелювання із шуршавої поверхні полікремнію. Тоді структура Flotox вже має три шари полікремнію (поліциду), взаємне розміщення яких показане на рис. 11, та конденсатор зв'язку $C_{зв}$.

Джерелом електронів при програмуванні в цьому випадку служить електрод 1 першого шару полікремнію, що з'єднується з загальною шиною витоку транзистора. В такій структурі іде одностороннє тунелювання з електрода 1 в верх. Зворотнє тунелювання вниз вже неможливе, бо нижня поверхня плаваючого електроду є гладкою, а тоді напруженість електричного поля є недостатньою для тунелювання при товщині підзатворного діелектрика більше 150 \AA . Для видалення електронів із плаваючого затвору при стиранні використовують тунелювання в верх і дрейф електронів на управляючий затвор (шину $X_{\text{прогр}}$). В обох режимах

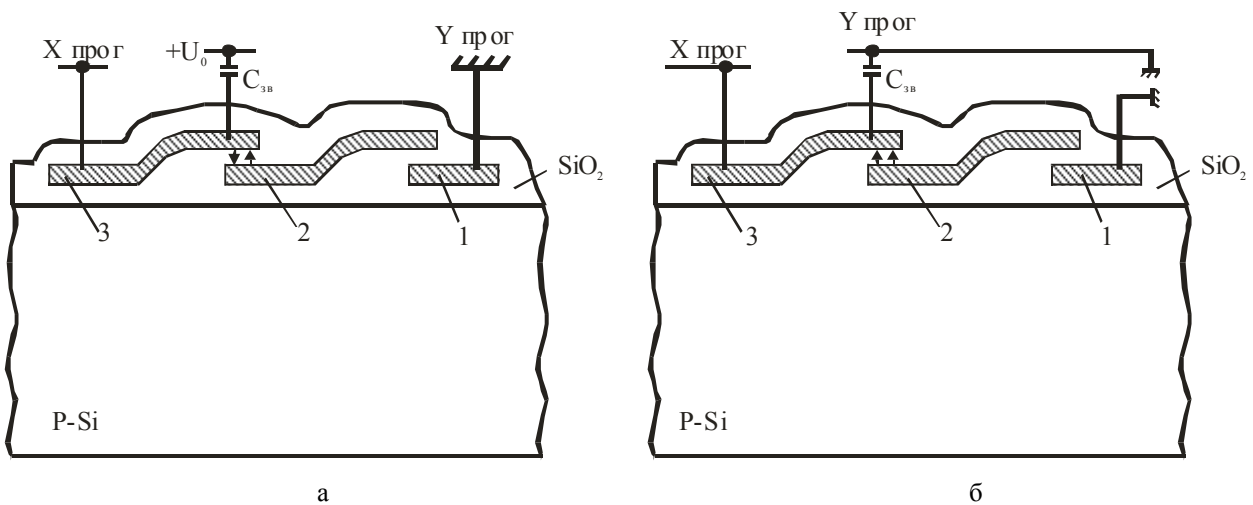


Рис. 11. Структура „Flotox” із конденсатором зв'язку.

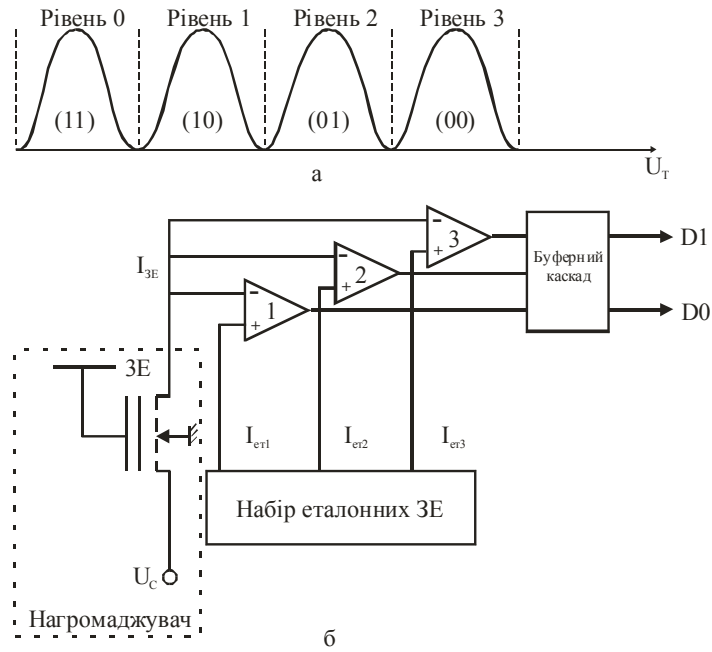


Рис. 12. Графік розподілу порогових напруг U_T в чотири рівневому ЗЕ а) і схема читання даних із даного елемента б).

програмування і стирання подається на шину $X_{\text{прогр}}$ висока напруга більше 12-15 В. Для того, щоб при програмуванні не було переходів електронів з плаваючого затвору на управляючий, а при стиранні з електрода 1 на плаваючий затвор, то між плаваючим затвором і шиною програмування $Y_{\text{прогр}}$ формують тонкоплівковий конденсатор (ТПК) $C_{зв}$ [14]. При програмуванні на шину $Y_{\text{прогр}}$ подають додатну напругу U_0 , що робить різницю напруг між плаваючим і управляючим затворами малою, тому тунелювання вверх вже відсутнє, як показано на Рис. 11а. При стиранні на шині $Y_{\text{прогр}}$ встановлюється нульова напруга, що понижає потенціал плаваючого затвору, а між управляючим і плаваючим затворами напруга стає високою і тунелювання вже іде вверх. Тому для такої структури необхідно формувати ТПК зв'язку на основі легованого β -танталу, що має високі пробивні напруги більші 120 В і високу питому ємність. Це знижує час програмування і стирання на порядок (до 0,03 мс). Такі елементи дозволяють формувати $E^2\text{PROM}$ ЗП великої інформаційної ємності $> 1 \text{ М}$. Технологія формування таких PROM висвітлена автором в [14].

Подальший розвиток Flash-пам'ять в так званому StrataFlash ЕП, в якому зберігається два біта інформації, а не один, як в попередньому випадку. Це досягається тим, що запам'ятовуючі елементи програмуються введенням в плаваючий затвор одного із чотирьох кількостей заряду, кожний із яких відповідає парі двійкових цифр 11, 10, 01, 00. В залежності від величини заряду, запам'ятовуючий транзистор має один із чотирьох рівнів порогових напруг (рис. 12). При зчитуванні інформації до затвора транзистора прикладається напруга зчитування. Струм запам'ятовуючого визначається

вже рівнем порогової напруги U_T . Визначивши струм, можна виявити стан плаваючого затвору. На рис. 12 показані розподіли порогових напруг в чотирьохрівневому ЕП а) і схема читання станів запам'ятовуючого транзистора б). Для реалізації такого ЗЕ необхідний високої термостійкості підзатворний діелектрик, який подібно фільтру формує на затворі визначену дозу електронного заряду. Це досягається нітридизованим оксидом кремнію ($\text{Si}_x\text{O}_y\text{N}_z$) інжекційної товщини та поліцидним затвором [13,16].

Перейдемо тепер до оперативних запам'ятовуючих пристроїв (ОЗП) і визначимо конструкторсько-технологічні особливості їх формування субмікронною технологією. Область застосування статичних ОЗП в системах обробки інформації визначається їх високою швидкодією. Зокрема, вони широко використовуються в кеш-пам'яті, яка прилюбій ємності завжди має високу швидкодію. Статичну ОЗП (SRAM), як правило, мають структуру 2DM, а частина їх для кеш-пам'яті будується на структурі 2D.

Запам'ятовуючим елементом статичних ОЗП є тригер, який має спеціальну установку та скид. Тому статичні ОЗП називають ще тригерними. Нами були розроблені і поставлені на серійне виробництво статичні ОЗП серій K537 PY6 К-МОН технології і K132 PY5,8,9 n-МОН технології. ЗЕ на n-МОН транзисторах представляє собою RS-тригер на транзисторах T1 і T2 (рис. 13) з ключами вибірки T3 і T4. При звертанні до даного ЗЕ появляється високий потенціал на шині вибірки ШВ_i; (через i, j позначені номери рядка і стовпця нагрмаджувача, на перетині яких розміщений елемент пам'яті ЗЕ_{ij}). Цей потенціал відкриває ключі вибірки T3 і T4 по всьому

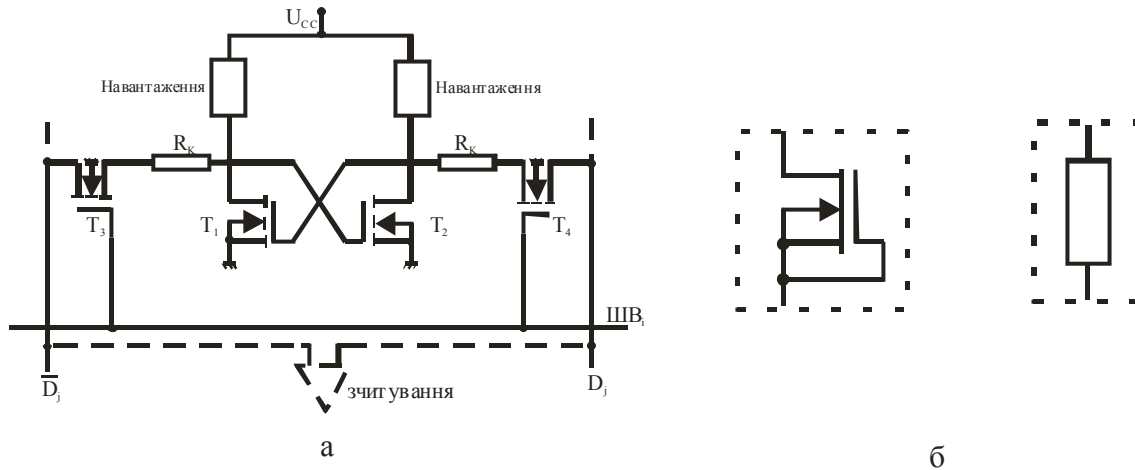


Рис. 13. Схема тригерного ЗЕ на p-MOH транзисторах а) і варіанти навантаження б).

рядку, а виходи тригерів рядка з'єднуються із стовбчними (розрядними) шинами запису-зчитування. Одна із цих шин зв'язана з прямим виходом тригера D_j . А друга – з інверсним виходом $\overline{D_j}$. Через розрядні шини зчитується стан тригера з використанням диференціального підсилювача зчитування. Через них можна записати дані в тригер, подаючи потенціал лог.0 на ту чи другу шину.

Резистори R_r служать для зменшення емнісних струмів в моменти відкривання ключових транзисторів і реалізуються як частина дифузійних (імплантованих) областей заданого номіналу поверхневого опору. В ролі навантаження можуть бути використані двополюсники у вигляді p-MOH транзистора з вмонтованим каналом і нульовою пороговою напругою. Для режиму мікрострумів (у структурах ВІС високої степені інтеграції) використовуються високоомні резистори із полікристалічного кремнію або кермету РС 3710, які просторово розміщуються над областями транзисторних структур. Особливістю даної комірки

є те, що для регулювання опору в номінал і ТКО навантажувальних і ключових резисторів використовують багатозарядну імплантацію домішок. Таким же методом проводять прецизійне юстування порогових напруг і каналу транзисторів T_1 і T_2 для усунення явищ змикання та вузького каналу і формування сомосуміщених n-MOH транзисторів [11].

Запам'ятовуючі елементи статичних ОЗП, які виконані по К-MOH технології значно зменшують споживану потужність (як мінімум на порядок) і збільшують швидкодію за рахунок зменшення емнісних струмів і відпадає необхідність в резисторах R_k та в високочутливих підсилювачів зчитування. Схема такого ЗЕ подана на рис. 14. Технологічною особливістю схеми а) є те, що тут використана багатозарядна імплантація для ретроградного формування охоронних областей та п-кишені і юстування порогових напруг U_T p- і r-канальних транзисторів. Це дає можливість забезпечити перехідну характеристику інверторів з

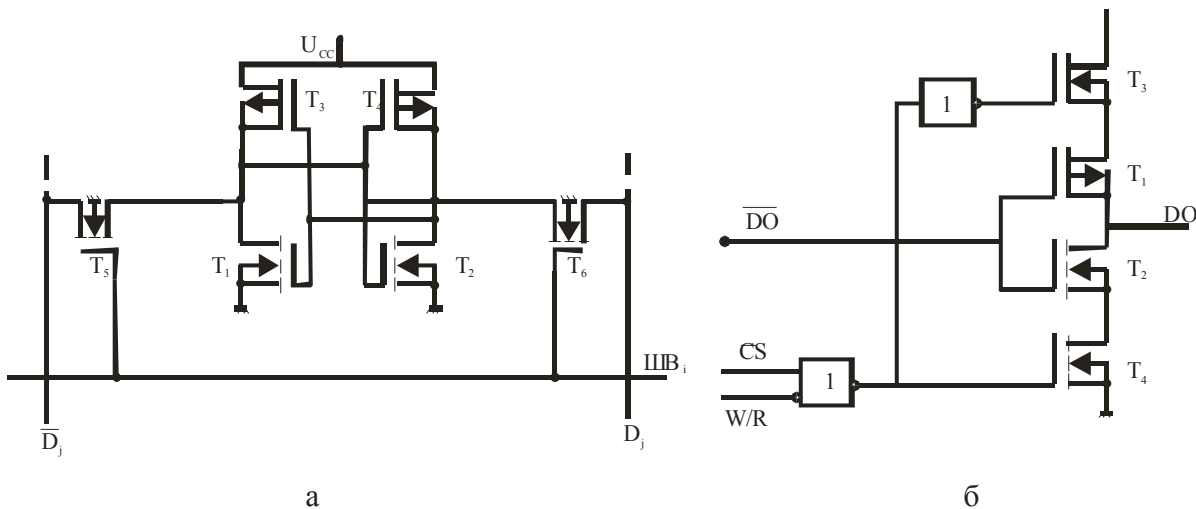


Рис. 14. Схема статичних ОЗП на К-MOH транзисторах а) та схема буферного каскаду на три стани б).

високою крутістю для збільшення швидкодії ЗП і їх високої заводо захищеності. Низький рівень сигналу CS і високий рівень сигналу W/R, що означають дозвіл виконання операції зчитування, створюють на виході елемента АБО-НЕ високий рівень лог.1, що відкриває транзистори T3 і T4 і, тим самим, забезпечує роботу інвертора на транзисторах T1 і T2, через який дані передаються на вихід DO. При інших комбінаціях сигналів CS і W/R вихід елемента АБО-НЕ має низький лог.0, при якому транзистори T3 і T4 є закритими і вихід DO вже знаходиться у відключеному стані. Схема передбачає також інверсний вихід DO.

Для формування таких запам'ятовуючих пристроїв статичного типу SRAM в субмікронній технології ВІС необхідно вже реалізовувати наступні технологічні процеси формування [11,12,13]:

- внутрішнього гетера на основі ізоконцентраційних домішок кисню і вуглецю в кремнієвих пластинах Чохральського для очистки активних зон структур;
- локальної ізоляції на основі про окислення легованого полікремнію;
- ретроградних охоронної області та р-кишені з використанням високо енергетичної багатозарядної імплантації;
- високоякісного підзатворного діелектрика швидким термічним оксидуванням для зниження величини швидких зарядових станів Q_{it} на міжфазній межі розділу Si-SiO₂ (при використанні передоксидувальної хімічної обробки в перегідрольному розчині надцтової кислоти H₂O₂: CH₃COOH: H₂O = 1:1:3);
- легованих полікремнієвих екранів та К-МОН структур з р-кишенею, що забезпечують високу радіаційну стійкість структур ВІС до α -опромінення ($\leq 10^7$ рад);
- міжшарової та пасивуючої ізоляції з використанням з використанням поліімідних

композицій;

- топології шарів ВІС на основі високо контрастної проекційної літографії та анізотропного плазмохімічного травлення в зоні післясвічення реакторів електронно-циклотронного резонансу;

- поліцидної розводки, сформованої на основі аморфного кремнію в пульсуючому режимі реактора зниженого тиску [16].

Таке поєднання конструкторсько-технологічних особливостей дозволяє довести час вибірки ЗЕ до рівня менше 30-35 нс для ЗП статичного типу серії K132 PY5,8,9,11.

В протилежність SRAM в динамічних ЗП (DRAM) дані зберігаються у вигляді зарядів ємностей МОН структур і основою ЗЕ таких схем є конденсатор певної ємності. Такий ЗЕ значно простіший тригерного (що вміщує 4-8 транзисторів) і дозволяє розмістити на кристалі в 4-5 разів більше елементів та забезпечує високу ємність ЗП. Але конденсатор, як втратний елемент, втрачає з часом свій заряд, тому для зберігання даних необхідна їх періодична регенерація (через декілька мс) спеціальними контролерами регенерації.

Для збереження високої степені інтеграції ЗП типу DRAM використовують однострижні ЕП, розміри яких настільки малі, що на них стали впливати навіть α -частинки, що випромінюються елементами корпусів ВІС. Тому забезпечення високої радіаційної стійкості динамічних ОЗП є актуальною і важливою задачею. Електрична схема, структура ЗЕ і схема його включення в нагромаджувач подані на рис. 15. Ключовий МОН транзистор відключає ЗЕ у вигляді конденсатора C₃ від лінії запису-зчитування або підключає його до неї, тобто відіграє роль комутатора. Стік МОН транзистора не має зовнішнього виходу і утворює одну із обкладок конденсатора, а другою обкладкою конденсатора є сама кремнієва підкладка. Діелектриком такого конденсатора є підзатворний оксид, властивості

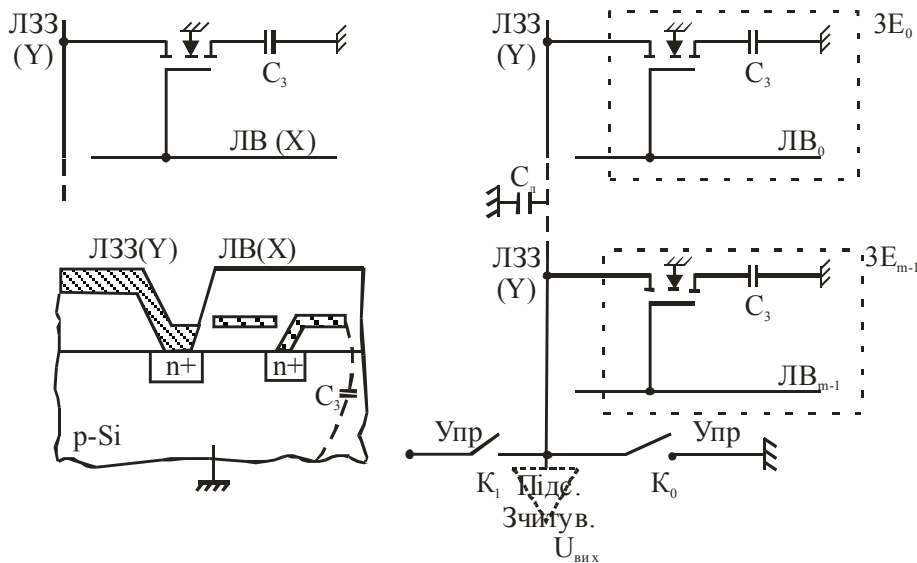


Рис. 15. Електрична схема ЗЕ ДОЗП структура та схема його включення.

якого і визначають електричні характеристики динамічного елемента пам'яті C_3 .

В режимі зберігання напруга на шині рядка X близька до нуля і ключовий транзистор є закритим і тим самим динамічний конденсатор C_3 є відключеним від шини запису-зчитування Y . На конденсаторі зберігається, встановлена при записі, напруга U^1 або U^0 . У випадку зберігання лог.1 конденсатор C_3 буде поступово розряджатись внаслідок існування струмів втрат (як зворотних струмів р-п-переходів) на Si-підкладку. Якщо зберігається лог.0, а напруга на шині Y додатна, то конденсатор C_3 буде поступово підзаряджатись передпороговим струмом транзистора. Тому необхідне періодичне відновлення вихідної напруги U^1 або U^0 на конденсаторі. Цей процес називають регенерацією. Вона здійснюється шляхом зчитування інформації з ЕП, перетворення її в напругу U^1 , U^0 з допомогою підсилювача-регенератора і запис цієї напруги в ЕП. Регенерація проводиться одночасно для всіх елементів одного рядка протягом 1-5 мс. Таким чином, важливим параметром динамічних елементів пам'яті є: 1) високі значення напруги пробою конденсатора при малому значенні струмів втрат; 2) малі ТКЕ і $\text{tg}\delta$; 3) високе значення діелектричної сталої, бо остання визначає площу нагромаджувача; 4) високу радіаційну стійкість до α -опроміювання. Ясно, що таким вимогам не відповідають ємності, сформовані на основі SiO_2 , а тільки тонкоплівкові конденсатори на основі легованих РЗМ і вуглецем плівок β -тантала [15].

У режимі запису на шині Y вибраного стовпця встановлюється напруга U^1 або U^0 , а потім подається позитивний імпульс на шину вибірки рядка X . При цьому транзистор відкривається і на конденсаторі встановлюється та ж напруга, що на шині Y . В решті запам'ятовуючих елементів вибраного рядка в цей час, як правило, іде регенерація.

Процес зчитування інформації із ЗЕ пояснює рис. 15в, де показаний фрагмент ДЗОП, де ЗЕ представлений у вигляді транзисторного ключа та динамічної ємності C_3 , підсилювача запису-зчитування, та умовних ключів $K1$ і $K0$, що

відповідають за запис 1 чи 0. До лінії запису-зчитування підключені ЗЕ в кількості рядків, що є в нагромаджувальній матриці. Особливе значення має ємність лінії C_d , яка може перевищувати C_3 запам'ятовуючого елемента. Перед зчитуванням проводиться перезаряд лінії запису-зчитування (ЛЗЗ). При цьому використовують 2 варіанти ЗП з перезарядом ЛЗЗ: 1) до рівня напруги живлення U_{cc} ; 2) до рівня половини напруги живлення $1/2U_{cc}$. Розглянемо другий варіант, коли ємність C_d заряджена до рівня $U_{cc}/2$, а зберігання 1 відповідає зарядженій C_3 , а зберігання нуля – розрядженій ємності C_3 .

При зчитуванні нуля до лінії запису-зчитування (ЛЗЗ) підключається ємність C_3 , що має нульовий заряд. Частина заряду ємності C_d перетікає в ємність C_3 і напруга на обох ємностях зрівнюється. Потенціал ЛЗЗ знижується на величину ΔU , яка є одночасно сигналом, що поступає на підсилювач зчитування. При зчитуванні одиниці, навпаки, напруга на C_3 , яка складала величину $U_{cc}/2$ при підключенні її до ЛЗЗ збільшується на ΔU . Таким чином, отримана часова діаграма сигналів при зчитуванні нуля і одиниці показана на рис. 16. Напругу ΔU обчислимо на основі аналізу динаміки зарядового стану. До вибірки ЗЕ ємність лінії запису-зчитування C_d мала заряд:

$$Q = C_d U_{cc} / 2 \quad (2)$$

Після вибірки ЗЕ цей же заряд розподіляється на сумарну ємність $C_d + C_3$ і можна записати:

$$Q = (C_d + C_3) (U_{cc} / 2 - \Delta U) \quad (3)$$

Прирівнюючи вирази (2) і (3) отримаємо:

$$C_d U_{cc} / 2 = (C_d + C_3) (U_{cc} / 2 - \Delta U) \quad (4)$$

Звідки отримуємо:

$$\Delta U = U_{cc} C_3 / [2(C_d + C_3)] \approx U_{cc} C_3 / 2C_d \quad (5)$$

Якщо $C_d > C_3$, то сигнал ΔU є досить слабким і його необхідно підсилити в підсилювачі зчитування до необхідної величини. Крім цього, зчитування є руйнівним фактором, бо підключення динамічної ємності C_3 до ЛЗЗ змінює її заряд. При малих топологічних розмірах і малій питомій ємності C_3 , яка формується з використанням діелектрика SiO_2 , інформаційний заряд у випадку зберігання лог.1 складає $(10^5 - 10^6)q$ (q -заряд електрона) і радіаційна

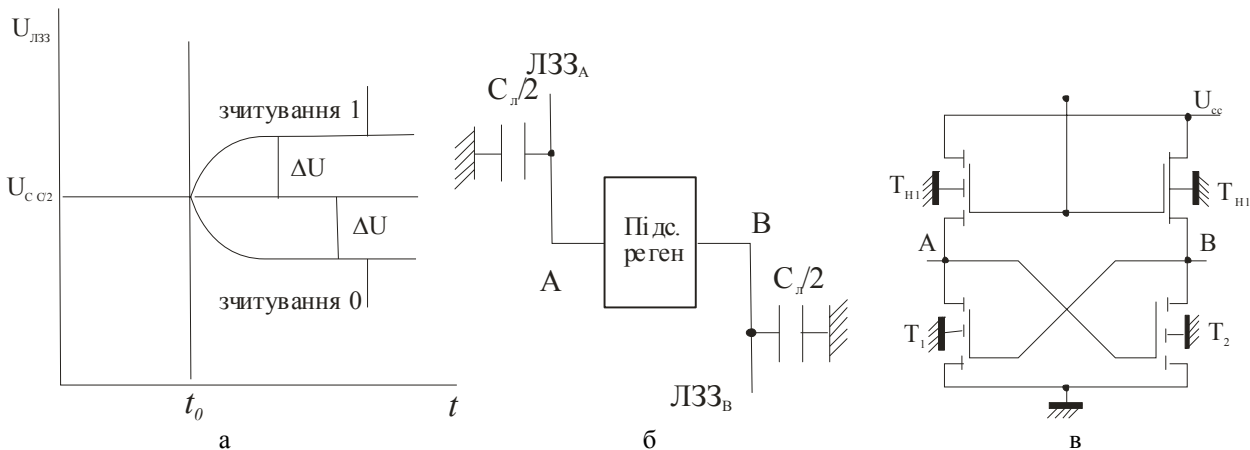


Рис. 16. Часові діаграми сигналів зчитування 1 і 0 даних в динамічному ЗП а), схема підключення підсилювача-регенератора б) і його схемна реалізація в).

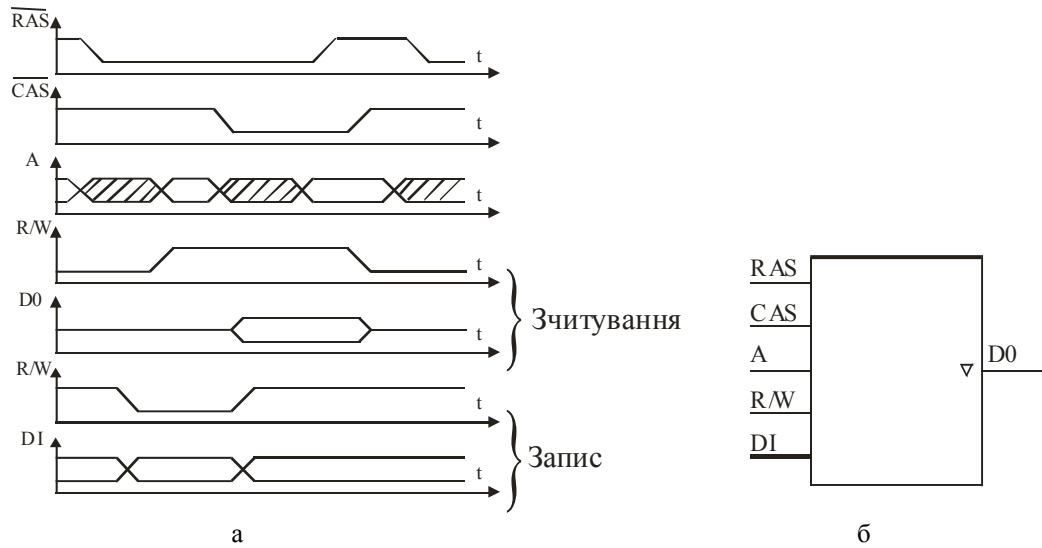


Рис. 17. Часові діаграми динамічного ОЗП з мультиплексуванням шини адресу а) та його зовнішня організація б).

стійкість такого динамічного елемента є досить низькою. Одна іонізуюча α -частинка може створити таке ж саме число електронно-діркових пар. А це приведе до втрати інформації та збою роботи ДОЗП. Такі збої можуть виникнути навіть при відсутності зовнішнього джерела α -частинок, бо останні випускаються матеріалами конструкції корпусу і навіть кремнію. Таке опромінення α -частинками обумовлене наявністю в матеріалах конструкції корпусу домішки цирконію (Zr), який завжди супроводжується U^{238} і Th^{232} . Тому число α -частинок, що випускаються ними з 1 см^2 площі корпусу складає 5-45 частинок в годину. Середня довжина її вільного пробігу може досягати 100 мкм.

Для усунення вище перерахованих недоліків необхідно: 1) збільшити ємність C_3 , при зменшенні його площі; 2) зменшити ємність C_L із застосуванням підсилювачів-регенераторів для зчитування даних; 3) використати в якості міжшарової ізоляції і захисного покриття поліімід; 4) удосконалити конструкцію ЗЕ, розміщуючи елементи нагромаджувача в кишені р-типу або використовуючи епітаксійні структури на кремнії р-типу. Збільшення ємності C_3 динамічного елемента досягається розробленою нами технологією формування ТПК на основі легованого танталу, що забезпечує високі пробивні напруги $U_{\text{ПРОБ}} > 120 \text{ В}$ при струмах втрат $I_{\text{ВТР}} < 10^{-11} \text{ А}$, малих $\text{tg}\delta < 0,001$ та $\text{ТКЕ} < 10^{-5} \text{ }^\circ\text{C}^{-1}$, високою питомою ємністю, яка в 20 разів більша, ніж для SiO_2 [14]. Це дозволяє при тій же ємності зменшити площу ЗЕ в 20 разів або збільшити C_3 при зменшенні його площі і тим самим забезпечити високу радіаційну стійкість динамічних елементів пам'яті до α -опромінення (до 10^7 рад).

Зменшення ємності C_L майже в 2 рази досягається включенням між двома її половинками (в розріз ЛЗЗ) диференціального підсилювача зчитування (рис. 16б). Підсилювачі-регенератори, які

вводять для регенерації заряду в конденсаторах C_3 , схемотехнічно будуються на основі тригерних схем (рис. 16в), через яку автоматично здійснюється регенерація на ємності C_3 повного значення зчитаного сигналу.

Особливістю динамічних ЗП для підвищення їх швидкодії, як відзначалось раніше, є мультиплексування шини адресу. Адрес відповідно ділиться на два півадреса, один із яких представляє собою адрес рядка, а другий – адрес стовпця нагромаджувача ЗЕ. Півадреса подаються на одні і ті ж виводи корпусу ВІС по чергово. Подача адреса рядка супроводжується відповідним стробом RAS (Row Address Strobe), а друга стовпця – стробом CAS (Column Address Strobe). Причиною мультиплексування адресів є зменшення числа виводів корпусу і зменшення площі структури ЗП та збільшення швидкодії. Так, наприклад, ЗП з організацією $16\text{M} \times 1$ має 24 – розрядний адрес, а мультиплексування дозволяє скоротити число ліній на 12. На рис. 17 показана часова діаграма та зовнішня організація динамічних ОЗП з мультиплексуванням.

Таким чином, правильне поєднання у виборі архітектури, організації, структури і субмікронної технології формування топології запам'ятовуючих елементів дозволяє зменшити площу, споживану потужність, підвищити швидкодію та радіаційну стійкість ВІС пам'яті адресного типу, понизити час їх вибірки до рівня 10-30 нс, збільшити інтеграцію схем пам'яті до 1-64 М.

Новосядлий С.П. – кандидат технічних наук, професор;
Запужляк Р.І. – кандидат фізико-математичних наук, доцент.

- [1] Т Кохонен. *Ассоциативные запоминающие устройства*. Пер. с англ. Мир, М. 384 с. (1982).
- [2] Л.П. Ланцов, Л.Н. Зворыкин, И.Ф. Осипов. *Цифровые устройства на комплементарных МОП интегральных микросхемах*. Радио и связь, М. 272 с. (1983).
- [3] О.Н. Лебедев. *Применение микросхем памяти в электронных устройствах*. Радио и связь, М. 216 с. (1994).
- [4] О.Н. Лебедев, А-Й.К. Марцинквичус, Э-Ф.К. Баганскис. *Микросхемы памяти. ЦАП и АЦП*. КУБК, М. 384 с. (1996).
- [5] О.Н. Лебедев, А.И. Мирошниченко, В.А. Телец. *Изделия электронной техники. Цифровые микросхемы. Микросхемы памяти. Микросхемы ЦАП И АЦП*. Радио и связь, М. 248 с. (1994).
- [6] А.Х. Мурсаев, Е.П. Угрюмов. *Структуры и схемотехника современных интегральных полупроводниковых запоминающих устройств*. ГЭТУ, СПб. 69 с. (1997).
- [7] D. Kresta, T. Johnson. High-Level Design Methodology Comes Into Its Own // *Electronic Design*, **12**, pp. 57-60 (1999).
- [8] Y. Oshima, B. Sheu, S. Jen. High-Speed Memory Architectures for Multimedia Applications // *IEEE Circuits & Devices*, **1**(13), pp. 8-13 (1997).
- [9] Y. Takai, M. Nagase, M. Kitamura. 250 Mbyte/s Synchronous DRAM Using a 3-Stage-Pipelined Architecture // *IEEE Journal of Solid State Circuits*, **4**(29), pp. 426-429 (1994).
- [10] S. Novosyadlyi, M. Mykhalchuk, D. Fedasyuk. Basic Principles and Elements of highly effective System Technology of VLSI Microelectronics // *Proceedings of the 6-th International Conference "Mixed Design of Integrated Circuits and Systems MIXDES'-99"*, Krakov, Poland, pp. 267-270 (1999).
- [11] С.П. Новосядлий. Радіаційна технологія при формуванні структур ВІС // *Науковий вісник Чернівецького Національного університету. Фізика і електроніка*, **63**, сс. 8-23 (1999).
- [12] С.П. Новосядлий. Підвищення ефективності локальної ізоляції активних елементів ВІС // *Оптоелектроніка і напівпровідникова техніка*, **34**, сс. 177-185 (1999).
- [13] С.П. Новосядлий. Високоякісна технологія затворного оксидування ВІС // *Вісник Харківського університету. Серія фізична. Ядра, частинки, поля*, 469(1(9)), сс. 65-70 (2000).
- [14] Я.С. Буджак, С.П. Новосядлий. Технологічні особливості і модель анодного оксидування легованих базових шарів β-тантала для ТПК ЗПДВ // *Вісник Національного університету „Львівська політехніка”, Автоматика, вимірювання та керування*, **366**, сс. 87-93 (1999).
- [15] С.П. Новосядлий, П.І. Мельник, Н.І. Іванців. Конструкторсько-технологічні особливості формування схем пам'яті з ультрафіолетовим і електричним стиранням на Flash і Flotox комірках // *Фізика і хімія твердого тіла*, **2**(2), сс. 299-302 (2001).
- [16] С.П. Новосядлий. Механізми формування плівок дисиліцида титану в реакторах зниженого тиску на основі аморфного кремнію // *Металофізика і новітні технології*, **5**(23), сс. 597-608 (2001).

S.P. Novosyadlyy, R.I. Zapuchlyak

Design-Technological Peculiarities of Submicron Structures Forming of Address Circuits Memory

Vasyl Stefanyk Prekarpathian University, Physical Faculty,
201, Galytska Str., Ivano-Frankivsk, 76000, Ukraine

In this article state circuitry, structure and technology of forming layout of superdense semiconductor randomaccess memory and methods of increasing of its quickness and radiation-insensitive with the use of elements of submicron technology are stated.